

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000340552
PUBLICATION DATE : 08-12-00

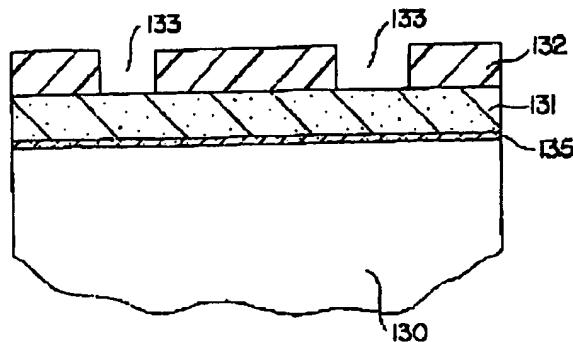
APPLICATION DATE : 25-04-00
APPLICATION NUMBER : 2000124026

APPLICANT : INTERNATL BUSINESS MACH CORP
<IBM>;

INVENTOR : RICHARD WISE;

INT.CL. : H01L 21/3065 H01L 27/108 H01L
21/8242 H01L 29/417 H01L 29/78
H01L 21/336

TITLE : ANISOTROPIC NITRIDE ETCHING
HAVING HIGH SENSITIVITY WITH
RESPECT TO OXIDE AND
PHOTORESIST LAYER



ABSTRACT : PROBLEM TO BE SOLVED: To pattern a silicon nitride layer so that it has a high aspect ratio by etching an exposed part of the silicon nitride layer with a high density plasma generated by exciting an etchant gas which includes a polymerizing agent, a source of hydrogen, an oxidant, and a noble gas diluent, to form a trench.

SOLUTION: An etchant gas includes a polymerizing agent, a source of hydrogen, an oxidant, and a noble gas diluent. The polymerizing agent is a precursor for causing formation of passivation layer and is preferably selected from among CF₄, C₂F₆, and C₃F₈. The source of hydrogen is preferably selected from among CHF₃, CH₂F₂, CH₃F, and H₂, and the oxidant is selected among CO, CO₂, and O₂. This etchant gas is excited to generate a high density plasma. A part of a silicon nitride layer 131 is exposed by an etch window 133 to etch the exposed part of the silicon nitride layer 131 with the plasma, to form a trench which extends to a silicon oxide layer.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-340552

(P2000-340552A)

(43)公開日 平成12年12月8日 (2000.12.8)

(51)Int.Cl'	識別記号	F I	テ-7コ-ト(参考)
H 01 L 21/3065		H 01 L 21/302	F
27/108			J
21/8242		27/10	6 7 1 Z
29/417		29/50	U
29/78		29/78	3 0 1 P
	審査請求 有	請求項の数16	OL (全 13 頁) 最終頁に続く

(21)出願番号	特願2000-124026(P2000-124026)	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成12年4月25日 (2000.4.25)	(74)代理人	100086243 弁理士 坂口 博 (外2名)
(31)優先権主張番号	09/299137		
(32)優先日	平成11年4月26日 (1999.4.26)		
(33)優先権主張国	米国 (US)		

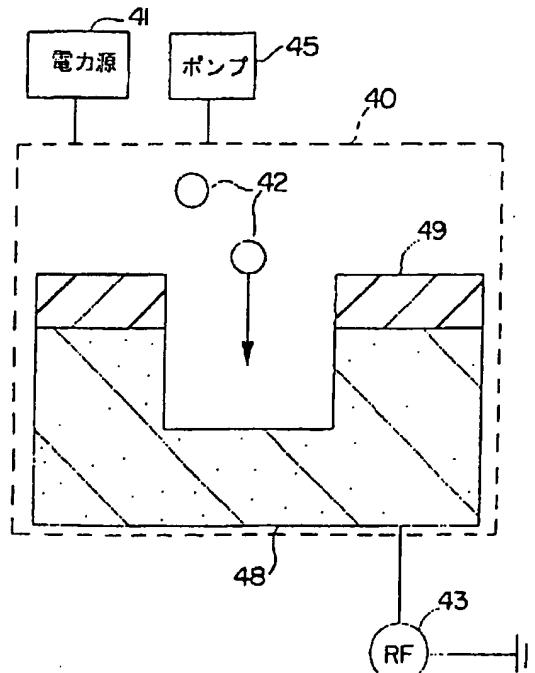
最終頁に続く

(54)【発明の名称】 酸化物及びフォトレジスト層に対して高度の選択性を有する異方性空化物エッティング法

(57)【要約】

【課題】 多層構造における塗化シリコン層中のトレチキ、異方性エッティングするための方法、およびそれに適したエッチャント・ガス組成物を提供すること。

【解決手段】 エッチャント・ガス組成物は、重合剤と、水素源と、酸化剤と、希ガス希釈剤とを含む。酸化剤は、炭素含有酸化剤成分と、酸化剤・希ガス成分とを含むものが好ましい。これらの成分は、塗化シリコンおよびフォトレジストに対して塗化シリコンの高度の選択性を有するよう調整される。高周波電力のような電力を構造に供給して、エッチャント・ガスを励起して形成される高密度プラズマの方向性を制御する。プラズマの方向性を制御する電力源は、エッチャント・ガスを励起するのに使用する電力源から切り離す。金属酸化物半導体電界効果トランジスタの製造ステップでは、このエッチャント・ガスは、塗化物のエッティング段階で使用することができます。



【特許請求の範囲】

【請求項1】多層構造における塗化シリコン層に、トレチを異方性エッティングする方法であって、前記多層構造は、基板と、前記基板上に形成された酸化シリコン層と、前記塗化シリコン層上に形成されたフォトレジスト層とを含み、前記フォトレジスト層は、前記塗化シリコン層の一部をダマシーン・エッティングするために露出させるウインドウが画定されており、重合剤、水素源、酸化剤、および希ガス希釈剤とを含み、前記酸化シリコン層および前記フォトレジスト層に対して高度の塗化物選択性を有するエッチャント・ガスを励起して高密度プラズマを生成するステップと、前記高密度プラズマを導入して、前記塗化シリコン層の露出部分をエッティングし、前記酸化シリコン層まで延びるトレチを形成するステップとを含む方法。

【請求項2】前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、前記水素源が、 CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択され、前記酸化剤が、 CO 、 CO_2 、および O_2 からなる群から選択され、前記希ガスが、 He 、 Ar 、および Ne からなる群から選択される、請求項1に記載の方法。

【請求項3】前記酸化剤が、炭素を含有する酸化剤成分と、酸化剤・希ガス混合成分とを含む、請求項1に記載の方法。

【請求項4】前記エッチャント・ガスは、前記重合剤を約0.1～25体積%と、前記水素源を約5～30体積%と、前記希ガス希釈剤を約0.1～50体積%と、前記炭素含有成分を約1～25体積%と、前記希ガス中に相対濃度約30%の酸化剤を含有する、前記酸化剤・希ガス混合成分を約0.1～20体積%とを含む、請求項3に記載の方法。

【請求項5】電力を前記多層構造に供給して、前記高密度プラズマの前記多層構造上での指向性を制御するステップをさらに含む、請求項1に記載の方法。

【請求項6】電力を供給するステップが、高周波電力を、前記多層構造の前記塗化シリコン層と反対側に供給するステップを含む、請求項5に記載の方法。

【請求項7】前記エッチャント・ガスを励起するステップが、コイルを使用し、前記電力源が前記コイルから減結合される、請求項5に記載の方法。

【請求項8】前記エッチャント・ガスを励起するステップが、少なくとも 10^{11} cm^{-3} の密度を有する前記高密度プラズマを生成するステップを含む、請求項1に記載の方法。

【請求項9】前記エッチャント・ガスをチャンバに導入するステップと、

前記チャンバの圧力を、前記チャンバに結合した真空ポンプを使用して、約2～40ミリトルに維持するステップとさらに含む、請求項1に記載の方法。

【請求項10】基板上に酸化シリコン層を形成するステップと、

前記基板中に少なくとも2個の浅いトレチ分離領域を付着させて、前記少なくとも2個の浅いトレチ分離領域間に領域を画定するステップと、

前記酸化シリコン層の上に塗化シリコン層を形成するステップと、

前記塗化シリコン層の上にフォトレジスト層を付着し、前記フォトレジスト層に、ダマシーン・エッティングのために前記塗化シリコン層の前記領域上の少なくとも一部分を露出させるウインドウを画定するステップと、

重合剤、水素源、酸化剤、および希ガス希釈剤を含む、前記酸化シリコン層と前記フォトレジストに対する塗化物の選択性が高いエッチャント・ガスを励起して、高密度プラズマを生成させるステップと、

前記塗化シリコン層の露出部分をエッティングするため前記高密度プラズマを前記酸化シリコン層に導入し、これにより前記塗化シリコン層の前記ウインドウ部分にゲート・ホールを形成するステップと、

前記ゲート・ホール中にゲート導体を付着させるステップと、

前記塗化シリコン層の少なくとも一部を除去して、前記ゲート導体が前記領域上に延びるゲート・ビラーを形成するステップとを含む、金属酸化物半導体電界効果トランジスタを製造する方法。

【請求項11】前記塗化シリコン層の露出部分をエッティングするため前記高密度プラズマを導入するステップの後に、前記ゲート・ホールの底部の前記酸化シリコン層を除去するステップと、

前記ゲート・ホール中にゲート導体を付着させるステップの前に、前記ゲート・ホールの底部に薄いゲート酸化物を形成するステップをさらに含む、請求項10に記載の方法。

【請求項12】前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、

前記水素源が、 CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択され、

前記酸化剤が、 CO 、 CO_2 、および O_2 からなる群から選択され、

前記希ガスが、 He 、 Ar 、および Ne からなる群から選択される、請求項10に記載の方法。

【請求項13】塗化シリコンをエッティングするための組成物であって、重合剤と、水素源と、酸化剤と、希ガス希釈剤を含み、酸化シリコンおよびフォトレジストに対して高度の塗化物選択性を有する組成物。

【請求項14】前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、

前記水素源が、 CH_2F_3 、 CH_2F_2 、 CH_2F 、および H_2 からなる群から選択され。

前記酸化剤が、 CO 、 CO_2 、および O_2 からなる群から選択され、かつ前記希ガス希釈剤が、 He 、 Ar 、および Ne からなる群から選択される、請求項13に記載の組成物。

【請求項15】前記酸化剤が、炭素を含有する酸化剤成分と、酸化剤・希ガス混合成分とを含む、請求項13に記載の組成物。

【請求項16】前記重合剤を約0.1～25体積%と、前記水素源を約5～30体積%と。

前記希ガス希釈剤を約0.1～50体積%と。

前記炭素含有成分を約1～25体積%と。

前記希ガス中に相対濃度約30%の酸化剤を含有する前記酸化剤・希ガス成分を約0.1～20体積%とを含む、請求項15に記載の組成物。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウエーハまたはその他の多層構造上に形成される塗化シリコン層中の、線のバーニングに関するものである。

【0002】

【従来の技術】半導体の製造で、付随するフォトレジストを過度に侵食することなく、酸化物層（たとえば酸化シリコン）に対して高い選択性をもって、アスペクト比の高い（たとえば4：1以上）フィーチャを有する厚い誘電体皮膜を異方性エッチングすることが望ましい場合が多い。多くの適用分野で、バーニングされた塗化物のプロファイルは垂直でなければならない。現在の最新技術による塗化物のエッチング法では、十分に垂直なエッチ・プロファイルを得ることはできず、また、酸化物に対して十分な選択性を有するエッチング法は得られない。

【0003】このような適用分野の例として、ダマシン・エッティング法により装置のゲートを形成するには、塗化物材料を塗化物の下にある薄い熱酸化物材料に対して、垂直にエッチングする必要がある。熱酸化物材料のエッチ・ストップ層を除去し、これよりさらに薄いゲート酸化物をその場所に成長させる。このエッチ・ストップ層の厚みは、著しいアンダーカットを生じることなくこれを除去できるかどうかによって制限されるが、成長されるゲート酸化物の厚みは、装置の性能特性によって決まる。次に、ゲート導体を付着させ、塗化物が現れるまで研磨する。

【0004】標準的なゲートのエッティング法では、熱酸化物材料のエッチ・ストップ層に対する適切な、確実に制御可能な選択性を得るために、硬質のマスクを必要とする。その場でレジストを使用して硬質のマスクをバーニングすると、ネストされたり分離された線がばらつきを生じる主な原因となる。さらに具体的には、図1お

よび図2は、多層構造10の標準的な（すなわち非ダマシン）ゲート・エッティング法を示す。構造10は、導電性ゲート・スタック12、塗化シリコンの硬質マスク14、フォトレジスト層のネストされた線16a、およびフォトレジスト層の分離された線16bを含む。塗化シリコンの硬質マスク14の上にフォトレジスト層を付着させた後、硬質マスク層をエッチングして、フォトレジスト層のパターンに対応するパターンを硬質マスク層中に形成する。その後フォトレジスト層をストリッピングすると、図2に示すバーニングされた塗化シリコンの硬質マスク層14が残る。図2からわかるように、分離された線16bの下にあった塗化シリコンの硬質マスク層14の部分は、マスクのエッチング・ステップの間に、横方向に侵食され、塗化シリコンの硬質マスク層が著しいチップ全体の線幅のばらつき（ACLV）を生じる。

【0005】ネストされた線および分離された線の局所的領域中の、フォトレジスト塗布量の差は、ネストされた線対分離された線のエッチ・バイアスの原因となる主要な要因である。たとえば、分離された線16b近傍の部分はほぼ100%がオープン（すなわちフォトレジストがない）となり、反対にネストされた線16a近傍の部分は約50%がオープンとなる。プラズマを形成する化学物質は、塗化シリコンと反応性があるものを選択するので、エッチャント・ガス中の反応性の種（たとえばイオン、基、および重合体前駆物質）の局部的濃度は、分離された線16bの近傍では、塗化シリコンの局部的付着量が比較的高いため、減少する。分離された線16bを包囲する大面積の塗化物は、反応性化学種のシンク（sink）として機能する。

【0006】同様に、ネストされた線16aの近傍にさらに多量のレジストが局部的に存在すると、分離された線16bの近傍のレジストが少ない領域に対して局所的なプラズマを形成する化学物質を移行させる傾向がある。具体的には、フォトレジストの侵食が、重合体前駆物質の発生源となる。したがって、分離された線16bの近傍の硬質マスク層14は、ネストされた線16aの近傍のものより重合する化学物質に露出されることが少なく、このため図2に示すように、分離された線の下にあるエッティングされた硬質マスクが横方向に侵食される原因となる。

【0007】図1および図2に示すような標準的な硬質マスクによるゲート・エッティング法では、通常塗化物または臭化物を主体とするエッチャント・ガス中で、シリコンが熱酸化物（図示されていないが、ゲートスタック12の上に薄い層として形成される）に対して選択的にエッティングされる。ゲート導体のエッティングは、基板（すなわちゲート・スタック12）に対して選択性がないため、熱酸化物のブレークスルーが下層のシリコンを破滅的に侵食する原因となる。この危険は、デバイスの

速度を高めるためにゲート酸化物の厚みを減少させるにつれて、特に重要なとなる。ゲートの線幅を減少させると、ゲート・スタックのアスペクト比は増大する。硬質マスクによるゲート・エッチング法でのゲート・スタックの安定性は、非常に攻撃的な基本ルールで問題となる。

【0008】ゲート形成ステップでは、熱酸化物の犠牲層をストリッピングしてから、図3に示すように、新しくゲート酸化物を成長させる必要があることが多い。熱酸化物の犠牲層20の厚みは、酸化物ストリッピングの間の、エッチングの異方性の程度により制限を受ける。熱酸化物層20のいかなるアンダーカットも、後のポリシリコン24(ゲート導体)が塗化シリコン層26のゲート・ホールを充てんした後に、脚部22が形成される原因となる。脚部22はデバイスの性能を低下させる。

【0009】さらに、図7に示すような等方性エッチングでも、イオンは塗化シリコン層50に向かって均一な方向に加速されない。したがって、エッチングはすべての方向に進行して、フォトレジスト層52にアンダーカットを生じさせ、デバイスの集積度を制限する。図7では、塗化シリコン層50がシリコン基板(図示されていない)の上に形成されることがある。

【0010】塗化シリコンのエッチング技術はよく開発されているが、この技術固有の問題がいくつかある。特定の問題の1つは、アスペクト比の高い塗化シリコンレベルをエッチングし、しかもフォトレジスト層と酸化物層の両方に対する選択性を維持することである。

【0011】

【発明が解決しようとする課題】本発明の目的は、フォトレジスト層および酸化物層に対する高い選択性を維持し、後に像の完全性が失われることを回避しながら、高いアスペクト比を有する塗化シリコンをバターニングする方法を提供することにある。

【0012】

【課題を解決するための手段】上記その他の必要性を満たすため、その目的を考慮して、本発明はダマシーン・エッチング法における、多層構造の塗化シリコン層中のトレンチを異方性エッチングする方法を提供する。この方法は、重合剤、水素源、酸化剤、および希ガス希釈剤を含む、酸化シリコン層(基板上、塗化物層の下に形成される)およびフォトレジスト層(塗化物層の上に形成される)に対する塗化物選択性が高いエッチャント・ガスを励起して高密度プラズマを発生させるステップと、この高密度プラズマを導入して塗化シリコン層の露出部をエッチングし、酸化シリコン層まで伸びるトレンチを形成するステップとを含む。

【0013】本発明では、重合剤が、 C_2F_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、水素源が、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択され、酸化剤が、 CO 、 CO_2 、および O_2 からなる群

から選択され、希ガスが、 He 、 Ar 、および Ne からなる群から選択される。本発明の好ましい実施例では、酸化剤は CO_2 などの炭素を含有する酸化剤成分と、 He に O_2 を加えたものなどの酸化剤・希ガス成分を含む。成分の濃度は、フォトレジストに対して、少なくとも約3:1、好ましくは少なくとも約4:1の、高い塗化物選択性を有し、酸化物に対して、少なくとも約4:1、好ましくは少なくとも約5:1の、高い塗化物選択性を有するエッチャント・ガスが得られるように選択される。

【0014】本発明の他の実施例によれば、高周波(RF)電力源など、プラズマの方向性を制御するのに使用される電力源は、コイルなど、エッチャント・ガスを励起するのに使用される電力源から減結合される。好ましくは、RF電力源は、構造の、エッチングされる塗化シリコン層を有する側面の反対側に供給される。

【0015】本発明はまた、少なくとも2個の浅いトレンチ分離領域を有する基板上に酸化シリコン層を形成するステップと、酸化シリコン層の上に塗化シリコン層を形成するステップと、塗化シリコン層の上に、塗化シリコン層が露出するウインドウを画定するようにフォトレジストを付着させるステップと、上述の組成を有するエッチャント・ガスを励起して、高密度プラズマを生成させるステップと、高密度プラズマを導入して、ダマシーン・エッチングステップで塗化シリコンの露出部分を酸化シリコン層までエッチングするステップと、これにより塗化シリコン層のウインドウ部分にゲート・ホールを残すステップと、ゲート・ホール中にゲート導体を付着するステップと、ゲート導体がゲート・ピラー(pillar)を形成する塗化シリコン層の少なくとも一部を除去するステップとを含む、金属酸化物半導体電界効果トランジスタ(MOSFET)を製造する方法を提供する。

【0016】本発明はまた、ダマシーン・エッチング法で、多層構造に塗化シリコン層中のトレンチをエッチングするのに使用するエッチャント・ガス組成物にも関する。このエッチャント・ガスは、上述のように、重合剤、水素源、酸化剤、および希ガス希釈剤を含み、酸化シリコン層およびフォトレジスト層に対して高い塗化物選択性を有する。

【0017】本発明は、添付の図面を参照しながら以下の詳細な説明を読めば、最もよく理解することができる。一般的な慣行に従って、図面中の各種のフィーチャは、縮尺どおりではないことを強調しておく。反対に、各フィーチャの寸法は、図がわかりやすいように故意に拡大または縮小してある。

【0018】

【発明の実施の形態】本発明は、ダマシーン・エッチング法で、フォトレジストおよび酸化物に対する選択性が増大され、調整可能な異方性が得られる塗化物のエッチング法、及び、塗化物のエッチャント組成物を提供する。

以下に、効率を高めた塗化物エッティングのできる乾式エッティング法について説明する。好ましいエッティング・ガスは、 C_2F_6 、 CH_3F 、 CO_2 、 He 、 O_2 、およびArの混合物である。本発明によれば、ゲート導体の形成に必要な、酸化シリコンの薄い層の上で停止する塗化シリコンの異方性エッティングが行える。ゲート導体（または「ゲート」）の形成は、ダイナミック・ランダム・アクセス・メモリ（DRAM）や論理装置などの半導体デバイスで望ましい。

【0019】図4および図5は、多層構造30の塗化シリコン層31中にトレンチ（またはバーン）を形成する、ダマシーン・ゲート・エッティング法を示す。多層構造30はまた、半導体基板32、薄い酸化物層33、およびネストされた線35aと分離された線35bを形成するフォトレジスト層34も含む。ダマシーン・ゲート・エッティング法では、図1および図2に示すような標準的なゲート・エッティング法と異なり、フォトレジスト層34は、塗化シリコン層31中に線またはトレンチをバターニングするのに使用され、エッティング後の構造に大部分の塗化物層が残る。次にレジストをストリッピングし、塗化シリコン層31中に形成したトレンチ36aおよび36bにゲート導体37を充てんする。

【0020】図4および図5に示すように、ダマシーン・ゲート形成法は、分離された線35bの近傍には100%近くのレジストの塗布量を、ネストされた線35aの近傍には約50%のレジストの塗布量を必要とする。フォトレジストに対する塗化物の選択性を高めるためのエッティングに使用する化学物質を調整することにより、レジストの塗布量の局所的ばらつきは、標準的なエッティング法より重要ではなくなる。これは、エッティングステップは設計により塗化物と反応性を有するものでなければならないからである。換言すれば、ステップはフォトレジストの局所的な塗布量の、100%から50%への変動の影響を受けないように設計することができるが、（図1に示すように）塗化シリコンの付着量の、100%から50%への変動の影響を受けないように設計することはできない。これは、エッティングが塗化物と反応するように設計されているためである。さらに具体的には、フォトレジストの分離された線16bの周囲にある塗化シリコン硬質マスク14をエッティングする間に、図2に示すように、エッチャント・ガスは分離された線の下にある塗化物と反応する。ダマシーン・ゲート・エッティング法では、どの線の近くにも、露出した塗化シリコンはこのように高さには存在しない。

【0021】本発明のエッチャント・ガスを構成する成分は、酸化シリコン層およびフォトレジスト層に対して塗化物選択性を有するガスを生成させるのに重要である。酸化物およびフォトレジストに対する「塗化物選択性」とは、それぞれ、塗化物と酸化物、および塗化物とフォトレジストのエッティング速度の比を意味する。本発

明のエッチャント・ガスは、重合剤、水素源、酸化剤、および希ガス希釈剤を含む。好ましくは、これらの成分を、酸化物に対する塗化物選択性が少なくとも約4:1に、フォトレジストに対する塗化物選択性が少なくとも約3:1になるように混合される。さらに好ましくは、酸化物に対する塗化物選択性が少なくとも約5:1、フォトレジストに対する塗化物選択性が少なくとも約4:1である。

【0022】本発明のエッチャント・ガスの重合剤は、パッシベーション層形成をもたらす前駆物質である。この重合剤は、好ましくは CF_4 、 C_2F_6 、 C_3F_8 からなる群から選択された少なくとも1種類のフッ化炭素である。フッ素は塗化シリコン相中の塗化物の反応を助けるが、酸化シリコン（または二酸化シリコン）層中のシリコンの反応は助けない。重合剤は、 CF_4 重合体の前駆物質の、ダウンホール供給物質としての役割のため、アンダーカットを減少させ、塗化物のテーパを制御する。特に、重合剤の量を減少すると、プロファイルがより垂直になる。また、重合剤の量を増大させると、酸化物に対する塗化物選択性が改善される。

【0023】本発明のエッチャント・ガスの水素源は、塗化物の化学エッティングを促進し（等方性を増大することにより示唆される）、フォトレジストに対する選択性を（重合とフッ素の捕捉（scavenging）の両方により）改善する。この水素源は、好ましくは CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択される少なくとも1種類である。水素は可燃性があるため、安全の理由によりある種の環境では避けるべきである。水素源の量を増大することにより、フォトレジストに対する塗素選択性が改善される。

【0024】本発明はまた、垂直方向のイオン・エンハンス・エッティングにより、誘電層の除去を助けるため、酸化剤も使用する。この酸化剤は、 CO 、 CO_2 、および O_2 からなる群から選択される少なくとも1種類の、酸素を含有する化合物である。酸化剤の添加により、フォトレジストに対する選択性が低下する。これは、フォトレジストは塗化シリコンのように塗布量が少なくなる（micro-loading）ことがないためである。レジストを保護するために重合体含有量を増加させると、アスペクト比の高いフィーチャにエッチ・ストップが容易に生じる。酸化剤は、容易に重合剤と反応して、元のフッ化炭素より揮発性の高い生成物（たとえば COF_x 化合物）を生成する。酸化物の添加は、パッシベーション層の除去を助け、気相プラズマを構成する化学物質のC/F比を低い値に変換し、これによりさらにエッティング速度を上昇させ、パッシベーション重合体の生成を減少させる。酸化剤の量を増加すると、酸化物に対する選択性が増大する。好ましくは、この酸化剤は CO_2 などの炭素を含有する酸化剤と、 He に O_2 を添加したものなどの、酸化剤・希ガス成分を含むものを含む。

【0025】エッチャント・ガスの最後の構成成分は希ガス希釈剤で、好ましくはHe、Ar、およびNeからなる群から選択される少なくとも1種類である。希ガスがないと、本発明のエッチャント・ガスは酸化物に対して高い選択性を示さない。したがって、酸化物に対する選択性が十分に高くない場合には、希ガスの量を増加させるべきである。

【0026】本発明の範囲内における実施形態の例には、1～10体積%の重合剤、5～30体積%の水素源、1～25体積%の炭素含有成分、0.1～20体積%の酸化剤・希ガス成分（すなわち希ガス中約30%の相対濃度の酸化剤を含有するもの）、および0.1～50体積%の希ガスの混合ガスがある。好ましくは、エッチャント・ガスは3～8体積%の重合剤、10～30体積%の水素源、5～15体積%の炭素含有成分、5～15体積%の酸化剤・希ガス成分（すなわち希ガス中約30%の相対濃度の酸化剤を含有するもの）、および10～50体積%の希ガスを含む。さらに好ましくは、重合剤はC₂F₆、水素源はCH₃F、炭素含有成分はCO₂、酸化剤・希ガス成分はHeにO₂を添加したもの、希ガス希釈剤はArである。

【0027】本発明の目的を達成する構成成分の特定の濃度は、上述のような各成分の機能に基づいて、特定の必要性により調節することができる。たとえば、エッチャント・ガスが酸化物に対して十分な窒化物選択性を示さない場合は、酸化剤の濃度を増大させると、重合剤の濃度を減少させると、またはその両方を行うとよい。さらに、希ガス希釈剤が存在すると、酸化物に対する選択性が向上する。

【0028】さらに、エッチャント・ガスがフォトレジストに対して十分な窒化物選択性を示さない場合は、水素源の濃度を増大させるとよい。水素源の濃度を増大させた後もフォトレジストに対して最適な窒化物選択性を得られない場合には、エッチャント・ガスのH:F比を増大させるように、重合剤と水素源の特定の化合物を選択するとよい。上述の条件から水素源と酸化剤の両方を減少させると、水素源（たとえばCH₃F）の損失と酸化剤（たとえばCO）の減少とがバランスするため、同様なプロファイルが得られる。

【0029】傾斜角度はエッチャント・ガスの相対濃度を変化させても制御することができる。たとえば、重合剤（たとえばC₂F₆）の量を増加し、他の成分を一定にすると、窒化物層中のトレチの傾斜角度が増大する。アスペクト比の高い窒化物のフィーチャを注意深く制御することにより、後の加工の間に穴を充てんするのが容易になる。

【0030】本発明によれば、エッチャント・ガスを励起して高密度プラズマを形成する。プラズマの方向性を制御するために使用する電源は、高密度プラズマを形成するためにエッチャント・ガスを励起するのに使用する

電源から減結合する。このようにして減結合された電源は、ウエーハ上のバイアスをプラズマ発生機構とは無関係に制御する。「減結合（decoupled）」の用語を使用するのは、イオン衝撃エネルギーが主としてウエーハへのバイアスにより制御されるのに対して、イオン流束（およびプラズマ密度）が主として発生構造（たとえば誘導プラズマ源中のコイル）に供給される電力によって制御されるからである。

【0031】この構造を図6に示すが、エッチャント・ガスをチャンバ40（破線により示す）に導入し、エッチャント・ガスを第1の電源41により励起して、イオン42を有する高密度プラズマを形成する。高周波電源43などの第2の電源を第1の電源41から減結合する。好ましくは、チャンバ40の圧力は、チャンバ40に結合した真空ポンプ45を使用して約2～40ミリトルに維持する。

【0032】減結合したプラズマ源により使用されるようなバイアスした基板は、通常数千ボルトのウエーハ・プラテンの電位を発振させる。この電位の一部はプラズマ電子（シース・キャパシタンス）およびウエーハ・チャック・キャパシタンスによりシールドされるが、ウエーハに衝突するイオンの加速度は、通常50～500Vに相当する加速度である。この追加されたエネルギーはウエーハ表面に対して垂直方向にエッチングを促進し、本発明の異方性エッチングに影響を与える。

【0033】バイアスされた基板においては、図6に示すように、高周波電源43を基板48の裏面、すなわち基板のエッチングされる層（窒化シリコン層など）と反対側に供給する。図6では、基板48はシリコン基板（図示せず）上に形成した窒化シリコン層を示す場合もある。高周波電源43はイオン42を基板に向かって加速させ、これによりその方向のエッチング速度を増大させる。フォトレジスト49上のパターンは、直接下層に転写され、これにより実装密度が最大となる。

【0034】高密度プラズマとは、プラズマ中の帶電粒子の密度をいう。従来の、すなわち代表的な密度のプラズマでは、イオン密度は通常約10¹¹ cm⁻³未満であるが、高密度源では、分別イオン化（fractional ionization）は10¹¹ cm⁻³より高い。高密度プラズマ源はプラズマ電子を反応装置の境界に垂直な方向に加速させ、電子の平均自由行程がプラズマの寸法と比較して長くなる。この長い平均自由行程により、操作圧力を低くすることが可能になるが、イオンの壁流束が高いプラズマを維持するには高度のイオン化を必要とする。

【0035】本発明の方法は、アプライド・マテリアルズ社（Applied Materials）の高密度プラズマ乾式エッチング・チャンバで実際に実施したが、他の高密度プラズマ源（たとえばラム（Lam）9100）も使用することができる。本発明の混合ガスを含むどのような同様のチャンバでも、所期の結果を得ることができること

は、本発明の範囲内である。チャンバの圧力は、約2~40ミリトルであることが好ましい。

【0036】上述の塗化物層のエッティングは、図8~図19に示すように、金属酸化物電界効果トランジスタ(MOSFET)の製造に使用することができる。これらのステップは必ずしも図示および説明する順序で行わなくてよい。本発明による製造方式は、非常に薄い(たとえば5nm未満)ゲート酸化物を有するMOSFETの形成に、特に適している。

【0037】下記の例では、MOSFETの形成は基板130から開始するが、この基板130はシリコン基板など、周知のどのような半導体基板でもよい。図8に示すように、基板130をパッド酸化物層135と塗化シリコン層131とで被覆する。パッド酸化物層135の厚みは通常5nm~20nmである。厚み約8nmのSiO₂層を、パッド酸化物層135として使用することができる。この酸化物層135は、高速熱処理(RTP)または炉処理により形成することができる。塗化シリコン層131はSi₃N₄で構成されるものでよく、厚みは約90nmでよい。この塗化シリコン層131は、高温低圧化学気相蒸着(LPCVD)法で形成することができる。アラズマ・エンハンス化学気相蒸着(PECVD)など、他の付着法を使用してもよい。代替方法として、塗化シリコン層はスパッタリングで形成することもできる。

【0038】次に、単一層のフォトレジスト132を塗化シリコン層131の上にスピンドルコーティングする。次に、従来のリソグラフィにより、フォトレジスト層132をバターニングし、図9に示すように後のエッティング行程のためのエッチ・ウインドウ133を画定する。エッチ・ウインドウ133は、後のダマシン・エッティングのため、塗化シリコン層131の一部を露出させる。ダマシン・エッティング法では、塗化シリコン層の大部分をフォトレジスト層で被覆するが、標準のエッティング法では、フォトレジストの選択された線のみを使用して、塗化物の対応する線を被覆する。単一層のフォトレジストを使用する代わりに、多層レジスト、またはハードベーリングしたマスクなど他のマスクを使用することもできる。エッチ・ウインドウ133の寸法形状により、次にエッティングされる浅いトレンチ分離(STI)用トレンチの横方向の寸法が画定される。このようなSTI用トレンチ(フィールド酸化物分離トレンチとも呼ばれる)は、通常、隣接するトランジスタ間の分離のために、MOS技術で用いられる。STIの代わりに、シリコンの局部酸化(LOCOS)またはポリバッファLOCOSを用いてもよい。

【0039】図10に示すように、次にレジスト・パターンを適当なエッティング法により、下の層構造に転写する。このステップはクリティカルではない。STIトレンチ134の深さD_{STI}は100nm以上でよい。STI

トレンチ134に適当な分離材料を充てんする前に、図11に示すように、薄い酸化物層146をトレンチ134中に加熱により成長させることができる。この成長は、付着する酸化物であるオルソケイ酸テトラエチル(TEOS)で充てんする場合には特に推奨される。付着したTEOSは、シリコン基板130との境界面では、通常不規則な表面状態である。酸化物層146がないと、このような不規則な表面状態はシリコン基板130の動作に悪影響を与える。

【0040】本例では、フォトレジスト132を除去し、薄い酸化物層146を形成した後、図11に示すように、すべてのSTIトレンチ134が底部まで充てんされるように、TEOS136を付着させる。TEOS136はLPCVD法を用いて付着させることができ。隣接するトランジスタ(図8~図19には図示していない)を十分に分離することが保証される限り、他の多くの材料を使用してもよい。TEOSの利点は、後続のどのような化学機械研磨(CMP)でも良好な停止層が得られることである。

【0041】図12に概略を示すように、次に構造の上面を、CMPステップを用いて平坦化させる。本実施形態では、CMPステップにより過剰なTEOS136が除去され、塗化シリコン層131上で停止する。この時、層131の上面137は完全に平坦になる。CMPの後、塗化シリコン層131の厚みはわずかに減少して約75nmになる。

【0042】その後のステップで(図13参照)、平面化した表面137の上面に追加的な層138を形成することにより、パッド酸化物層135の上面にある誘電体スタック(D_{ST})が完成する。本例では、誘電体スタックは、

- Si₃N₄層131(厚み約75nmに減少)および
 - Si₃N₄層138(厚み約50nm)
- を有する。

【0043】本実施形態では、誘電体スタックを、すでにSTIまたはLOCOSトレンチなど、ある種の層や構造要素を含む半導体構造上面に形成する。しかしながら、誘電体スタックは、単純基板、前加工した基板、他の回路を有する半導体デバイスなど、どのような種類の半導体構造上に形成してもよい。スタックはまた、追加の塗化シリコン層を含むものでもよい。

【0044】後続のステップ(図示しないが図14の構造を得る)で、フォトリソグラフィステップを使用して、形成されるゲート・ビラーの横方向の寸法(すなわちゲート長L_{GATE}およびゲート幅W_{GATE})ならびに形状を画定する。「ゲート・ビラー」の表現は、本明細書では半導体構造から突出したゲート構造を述べるのに使用する。ビラーは、側壁が垂直(すなわち半導体構造に対して直角)であれば、どのような寸法形状のものでもよい。しかし、アスペクト比が高すぎるゲート・ビラー

は、形成後に倒れる傾向があることに注意すべきである。

【0045】ゲート・ビラーの寸法形状を画定するには多種の異なる方法があるため、このステップについては特に説明しない。基本的には、図14に示すように、エッチ・ウインドウ140をレジスト・マスク148中に設ける。エッチ・ウインドウ140の寸法形状は、形成されるゲート・ビラーの横方向の寸法形状とほぼ同一である。エッチ・ウインドウ140の長さにより、ゲート・ホール150の長さが画定され、さらにゲート・ホール150の長さにより、最終的にゲート長が画定される。次にこのゲート長により有効チャネル長が決定される。

【0046】ゲート・ホール150を形成するために、ゲート形成反応性イオン・エッティング(RIE)ステップを用いて、レジスト・マスク148中に設けたエッチ・ウインドウ140を誘電体スタックに転写する。ゲート形成RIEステップは、図4および図5を参照して上述したものである。上述のように、RIEステップは誘電体スタックの各種の塗化シリコン層を確実に正しくエッティングするために、最適化することができる。

【0047】本例では、ゲート形成RIEステップは図14に示すように、誘電体スタックの塗化物層138および131をエッティングし、パッド酸化物層135で停止するように設計する。パッド酸化物に対する選択性は4:1またはこれより良好であることが重要で、これはそのようにしないとパッド酸化物135は激しく侵食され、厚みが減少するためである。ゲート・ホール150の深さ D_{GATE} (図13の誘電体スタック D_{STACK} とほぼ同一)により、いずれもまだ形成されていないゲート酸化物を含むゲート・ビラーの高さを画定する。ゲートとして機能するビラーは通常高さが100 nm~200 nmである。将来のMOSFETのゲート長は50 nmまたはさらに短くなるであろう。このような短いゲートは、本発明の方法を用いて容易に作成することができる。従来のゲート電極の幅(紙面からはみ出している)は2 μm~50 μmである。

【0048】誘電体スタックにゲート・ホール150を画定した後、残りのパッド酸化物135をゲート・ホール底部から除去してもよい。これは、フッ化水素酸(HF)浸漬を用いて行うことができる。HFは酸化物層135を侵食するが、シリコン基板130は侵食しないため、最適である。ゲート・ホール150の底部からパッド酸化物層135を除去する前に、レジスト148を除去する。図15に示すように、パッド酸化物層135が完全に除去された後、図16に示すように、精密に画定されたゲート酸化物149を形成することができる。このゲート酸化物149の厚みおよび品質は、パッド酸化物層135の厚みおよび品質と無関係である。ゲート酸化物149は、必要があればパッド酸化物層135より

厚くてもよい。

【0049】ゲート酸化物149を形成する前に、犠牲酸化物層(図示せず)をゲート・ホール150の底部に形成してもよい。次にこの犠牲酸化物層をエッティングにより除去し、構造を加熱する。この短い一連のステップにより、(ゲート形成RIEにより)生じる可能性のあるゲート・ホール150の底部にあるシリコン基板130の損傷が修復される。

【0050】図16に示すように、ゲート導体材料141をゲート・ホール150中、および誘電体スタックの最上層の塗化シリコン層138内に付着させる。確実にゲート導体材料141が完全にゲート・ホール150を充てんすることが重要である。ゲート導体材料141は、LPCVD(たとえば約650°C)により付着させたポリシリコンでよい。ポリシリコンの代わりに、非晶質シリコンを使用し、後の時点でポリシリコンに変換してもよい。実際に、ゲート導体として適したどのような材料でも、ゲート・ホール150中に充てんすることができる。本発明はポリシリコン・ゲートに限定されない。

【0051】ポリシリコンは、ドーピングしたものでもしないものでもよい。ドーパントは、ポリシリコンの付着中に導入しても後から導入してもよい。ソース領域とドレイン領域を注入するときに、必ずしもポリシリコン・ゲートにドーピングを行わなくてもよいことが、本発明の方法の特徴である。ポリシリコン・ゲートは、後の製造ステップのいずれかでケイ化すればよく、適当と考えられれば、後の加工中にキャップ誘電体を付着させて、ゲートを保護することができる。

【0052】ゲート導体材料141を付着させた後、平面化ステップを行ってもよい。最適なものはCMP法である。平面化後、図17に示すように、誘電体スタックの最上の塗化物層138を露出させる。

【0053】次に、誘電体スタックを除去しなければならない。塗化シリコン層138および131は、熱リソ그래フィを用いてストリッピングする。誘電体スタックを完全に除去した後、図18に示すように、垂直な側壁142を有するゲート導体材料141の突出したビラーが露出する。これで、たとえばR. コルクレーザー(Corclaser)が「マイクロエレクトロニクスの加工および装置の設計(Microelectronics Processing and Device Design)」、(第10章、p. 266~69 (John Wiley & Sons) 1988年、に記載したような、標準のCMOS技術を続けることができる。

【0054】後続のステップ中に、図19に示すように、ソース領域143およびドレイン領域144を(前にすでにに行っていなければ)画定することができる。このようにして、チャネル145(ビラーの下およびドレイン領域144とソース領域143の間に)画定する。上述のようにソースとチャネルおよびドレインとチャネ

ルの境界面は急峻であり（良く画定されており）、重畠が少ないため、チャネル長はゲート長とほぼ同一である。

【0055】まとめとして、本発明の構成に関して以下の事項を開示する。

【0056】(1) 多層構造における塗化シリコン層に、トレンチを異方性エッティングする方法であって、前記多層構造は、基板と、前記基板上に形成された酸化シリコン層と、前記酸化シリコン層上に形成された塗化シリコン層と、前記塗化シリコン層の上に形成されたフォトレジスト層とを含み、前記フォトレジスト層は、前記塗化シリコン層の一部をダマシーン・エッティングするため露出させるウインドウが画定されており、重合剤、水素源、酸化剤、および希ガス希釈剤とを含み、前記酸化シリコン層および前記フォトレジスト層に対して高度の塗化物選択性を有するエッチャント・ガスを励起して高密度プラズマを生成するステップと、前記高密度プラズマを導入して、前記塗化シリコン層の露出部分をエッティングし、前記酸化シリコン層まで延びるトレンチを形成するステップとを含む方法。

(2) 前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択される、上記(1)に記載の方法。

(3) 前記水素源が、 CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択される、上記(1)に記載の方法。

(4) 前記酸化剤が、炭素を含有する酸化剤成分と、酸化剤・希ガス成分とを含む、上記(1)に記載の方法。

(5) 前記希ガスが、 He 、 Ar 、および Ne からなる群から選択される、上記(1)に記載の方法。

(6) 前記酸化剤が、炭素を含有する酸化剤成分と、酸化剤・希ガス成分とを含む、上記(1)に記載の方法。

(7) 前記重合剤が C_2F_6 であり、前記水素源が CH_3F であり、前記希ガス希釈が Ar であり、前記炭素含有成分が CO_2 であり、前記酸化剤・希ガス成分が He 中の O_2 である、上記(6)に記載の方法。

(8) 前記重合剤を約0.1～25体積%と、前記水素源を約5～30体積%と、前記希ガス希釈剤を約0.1～50体積%と、前記炭素含有成分を約1～25体積%と、前記希ガス中に相対濃度約30%の酸化剤を含有する、前記酸化剤・希ガス成分を約0.1～20体積%とを含む、上記(6)に記載の方法。

(9) 前記重合剤を約3～8体積%と、前記水素源を約10～30体積%と、前記炭素含有成分を約5～15体積%と、前記希ガス中に相対濃度約30%の酸化剤を含有する、前記酸化剤・希ガス成分を約5～15体積%と、前記希ガス希釈剤を約10～50体積%とを含む、上記(8)に記載の方法。

(10) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約4：1であり、前記フォトレジスト層に対する塗化物の選択性が、

少なくとも約3：1である、上記(1)に記載の方法。

(11) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約5：1であり、前記フォトレジスト層に対する塗化物の選択性が、少なくとも約4：1である、上記(10)に記載の方法。

(12) 電力を前記多層構造に供給して、前記高密度プラズマの前記多層構造上の指向性を制御するステップをさらに含む、上記(1)に記載の方法。

(13) 電力を供給するステップが、高周波電力を、前記多層構造の前記塗化シリコン層と反対側に供給するステップを含む、上記(12)に記載の方法。

(14) 前記エッチャント・ガスを励起するステップが、コイルを使用し、前記電力源が前記コイルから減結合される、上記(12)に記載の方法。

(15) 前記エッチャント・ガスを励起するステップが、少なくとも 10^{11} cm^{-3} の密度を有する前記高密度プラズマを生成するステップを含む、上記(1)に記載の方法。

(16) 前記エッチャント・ガスをチャンバに導入するステップと、前記チャンバの圧力を、前記チャンバに結合した真空ポンプを使用して、約2～40ミリトルに維持するステップをさらに含む、上記(1)に記載の方法。

(17) 基板上に酸化シリコン層を形成するステップと、前記基板中に少なくとも2個の浅いトレンチ分離領域を付着させて、前記少なくとも2個の浅いトレンチ分離領域間に領域を画定するステップと、前記酸化シリコン層の上に塗化シリコン層を形成するステップと、前記塗化シリコン層の上にフォトレジスト層を付着し、前記フォトレジスト層に、ダマシーン・エッティングのために前記塗化シリコン層の前記領域上の少なくとも一部分を露出させるウインドウを画定するステップと、重合剤、水素源、酸化剤、および希ガス希釈剤を含む、前記酸化シリコン層と前記フォトレジストに対する塗化物の選択性が高いエッチャント・ガスを励起して、高密度プラズマを生成させるステップと、前記塗化シリコン層の露出部分をエッティングするために、前記高密度プラズマを前記酸化シリコン層に導入し、これにより前記塗化シリコン層の前記ウインドウ部分にゲート・ホールを形成するステップと、前記ゲート・ホール中にゲート導体を付着させるステップと、前記塗化シリコン層の少なくとも一部を除去して、前記ゲート導体が前記領域上に延びるゲート・ビラーを形成するステップとを含む、金属酸化物半導体電界効果トランジスタを製造する方法。

(18) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約4：1であり、前記フォトレジスト層に対する塗化物の選択性が、少なくとも約3：1である、上記(17)に記載の方法。

(19) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約5:1であり、前記フォトレジスト層に対する塗化物の選択性が、少なくとも約4:1である、上記(18)に記載の方法。

(20) 前記塗化シリコン層の露出部分をエッティングするため前記高密度プラズマを導入するステップの後に、前記ゲート・ホールの底部の前記酸化シリコン層を除去するステップと、前記ゲート・ホール中にゲート導体を付着させるステップの前に、前記ゲート・ホールの底部に薄いゲート酸化物を形成するステップをさらに含む、上記(17)に記載の方法。

(21) 前記薄いゲート酸化物を、前記基板を加熱することにより形成する、上記(20)に記載の方法。

(22) 前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、前記水素源が、 CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択され、前記酸化剤が、 CO 、 CO_2 、および O_2 からなる群から選択され、前記希ガスが、 He 、 Ar 、および Ne からなる群から選択される、上記(17)に記載の方法。

(23) ダマシーン・エッティング法における、多層構造の塗化シリコン層中のトレンチをエッティングするための組成物であって、重合剤を含むエッチャント・ガスと、水素源と、酸化剤と、希ガス希釈剤を含み、酸化シリコンおよびフォトレジストに対して高度の塗化物選択性を有する組成物。

(24) 前記重合剤が、 CF_4 、 C_2F_6 、および C_3F_8 からなる群から選択され、前記水素源が、 CHF_3 、 CH_2F_2 、 CH_3F 、および H_2 からなる群から選択され、前記酸化剤が、 CO 、 CO_2 、および O_2 からなる群から選択され、かつ前記希ガス希釈剤が、 He 、 Ar 、および Ne からなる群から選択された、上記(23)に記載の組成物。

(25) 前記酸化剤が、炭素を含有する酸化剤成分と、酸化剤・希ガス成分とを含む、上記(23)に記載の組成物。

(26) 前記重合剤が C_2F_6 であり、前記水素源が CH_3F であり、前記希ガス希釈剤が Ar であり、前記炭素含有成分が CO_2 であり、前記酸化剤・希ガス成分が He 中の O_2 である、上記(25)に記載の組成物。

(27) 前記重合剤を約0.1~25体積%と、前記水素源を約5~30体積%と、前記希ガス希釈剤を約0.1~5体積%と、前記炭素含有成分を約1~25体積%と、前記希ガス中に相対濃度約30%の酸化剤を含有する前記酸化剤・希ガス成分を約0.1~20体積%とを含む、上記(25)に記載の組成物。

(28) 前記重合剤を約3~8体積%と、前記水素源を約10~30体積%と、前記炭素含有成分を約5~15体積%と、前記希ガス中に相対濃度約30%の酸化剤を含有する、前記酸化剤・希ガス成分を約5~15体積%

と、前記希ガス希釈剤を約10~50体積%とを含む、上記(27)に記載の組成物。

(29) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約4:1であり、前記フォトレジスト層に対する塗化物の選択性が、少なくとも約3:1である、上記(23)に記載の組成物。

(30) 前記エッチャント・ガスの、前記酸化シリコン層に対する塗化物の選択性が、少なくとも約5:1であり、前記フォトレジスト層に対する塗化物の選択性が、少なくとも約4:1である、上記(23)に記載の組成物。

【図面の簡単な説明】

【図1】標準的なゲート・エッティング法でエッティングされる多層構造のプロファイルを示す図である。

【図2】従来の塗化物エッティングステップと、従来のフォトレジスト・ストリッピングステップ後の、図1の多層構造のプロファイルを示す図である。

【図3】従来の等方性エッティングを行った結果生じた酸化物層の好ましくないアンダーカットを有する多層構造のプロファイルを示す図である。

【図4】本発明により、ダマシーン・ゲート・エッティングのために作製した多層構造のプロファイルを示す図である。

【図5】本発明による塗化物エッティング・ステップ後の、図4の多層構造のプロファイルを示す図である。

【図6】本発明によるバイアスされた基板を使用して塗化物層をエッティングする装置及びプロセスを示す概略図である。

【図7】バイアスされない従来の基板を使用してエッティングされた塗化物層のプロファイルを示す図である。

【図8】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図9】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図10】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図11】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図12】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図13】金属酸化物半導体電界効果トランジスタの製造ステップ中の、各段階における多層構造のプロファイルを示す図である。

【図14】金属酸化物半導体電界効果トランジスタの製

造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

【図1 5】金属酸化物半導体電界効果トランジスタの製
造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

【図1 6】金属酸化物半導体電界効果トランジスタの製
造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

【図1 7】金属酸化物半導体電界効果トランジスタの製
造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

【図1 8】金属酸化物半導体電界効果トランジスタの製
造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

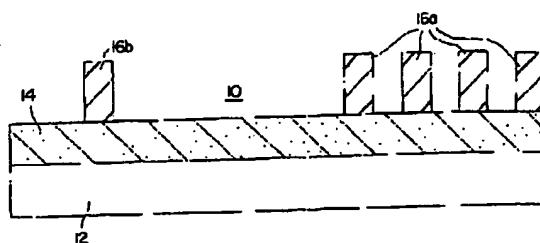
ルを示す図である。

【図1 9】金属酸化物半導体電界効果トランジスタの製
造ステップ中の、各段階における多層構造のプロファイ
ルを示す図である。

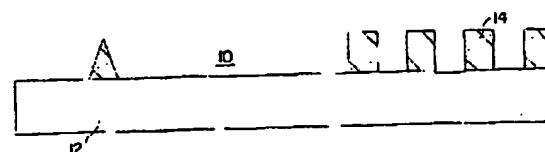
【符号の説明】

- 40 チェンバ
- 41 電力源
- 42 イオン
- 43 高周波電源
- 45 ポンプ
- 48 基板（窒化シリコン層を含む）
- 49 フォトレジスト

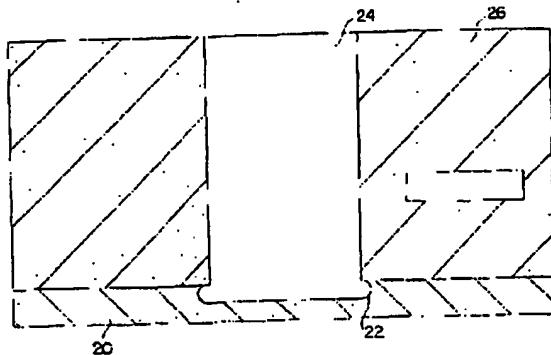
【図1】



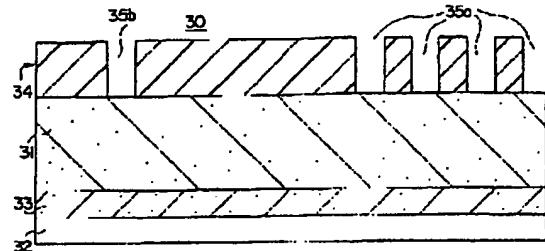
【図2】



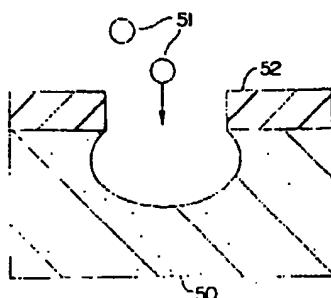
【図3】



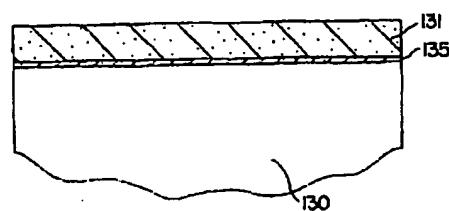
【図4】



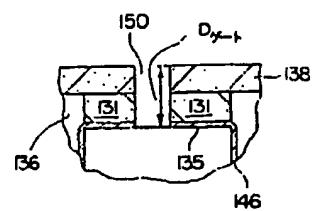
【図7】



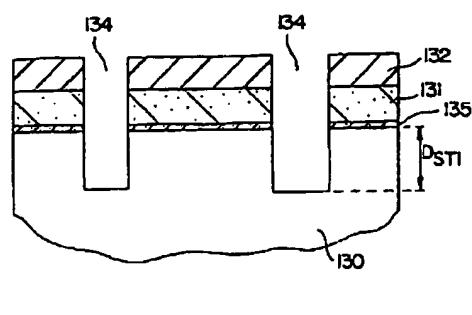
【図8】



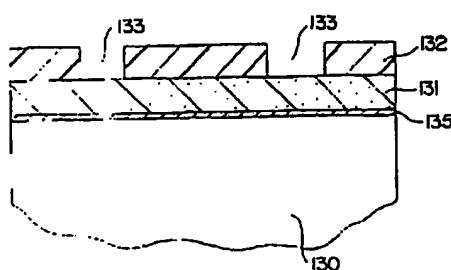
【図15】



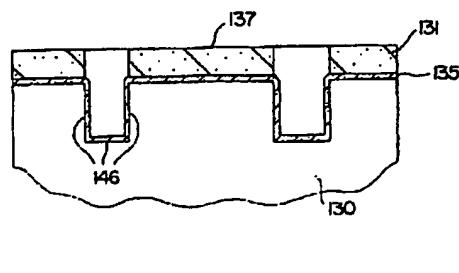
【図10】



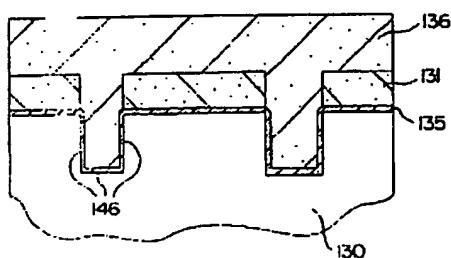
【図9】



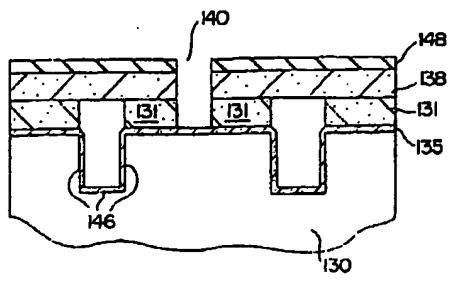
【図12】



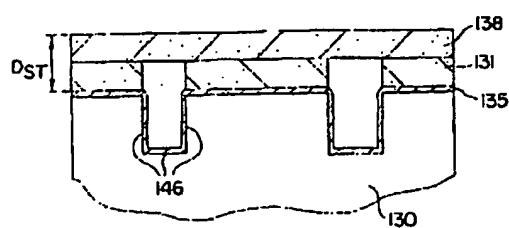
【図11】



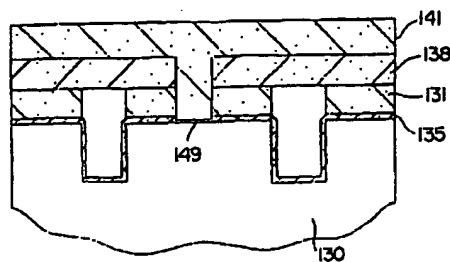
【図14】



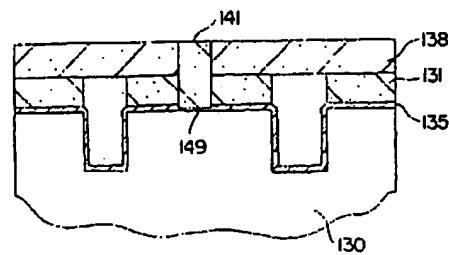
【図13】



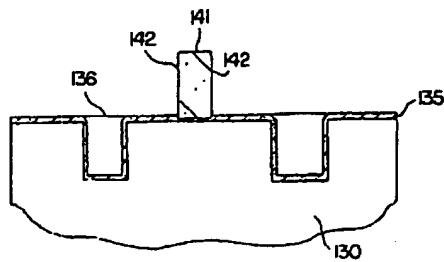
【図16】



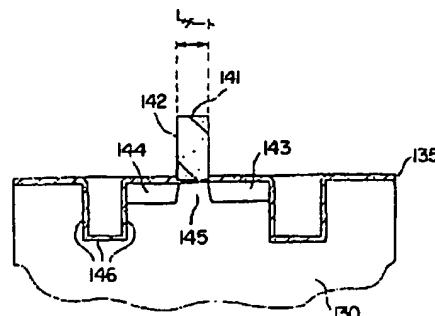
【図17】



【図18】



【図19】



フロントページの続き

(51) Int.Cl. 7
H 01 L 21/336

識別記号

F I
H 01 L 29/78

テ-クニ-ド(参考)

3 0 1 G

(72) 発明者 ダイアン・シー・ボイド
アメリカ合衆国12540 ニューヨーク州ラ
グランジエヴィル マーチンロード ポッ
クス 252シー1
(72) 発明者 スチュアート・エム・バーンズ
アメリカ合衆国06804 コネチカット州ブ
ルックフィールド ドックウッド・レーン
6

(72) 発明者 フセイン・アイ・ハナфиー
アメリカ合衆国07920 ニュージャージー
州バスキング・リッジ ガロビング・ヒ
ル・ロード 80
(72) 発明者 ウォールデマー・ダブリュー・ココン
アメリカ合衆国12590 ニューヨーク州ワ
ッピングガーズ・フォールズ アルバイン・
ドライブ 19ジー
(72) 発明者 ウィリアム・シー・ウィリー
アメリカ合衆国12571 ニューヨーク州レ
ッドフック マナー・ロード 65
(72) 発明者 リチャード・ワイズ
アメリカ合衆国12508 ニューヨーク州ビ
ーコン ボイス・ストリート29